

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009850286 **Image available**

WPI Acc No: 1994-130142/ 199416

XRPX Acc No: N94-102332

Electrostatic discharge failure protective circuit for LSI chip - has
resistance inserted between guard ring points connected to digital and
analog input or output pins and protection circuit NoAbstract

Patent Assignee: YAMAHA CORP (NIHG)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6077404	A	19940318	JP 92228974	A	19920827	199416 B

Priority Applications (No Type Date): JP 92228974 A 19920827

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6077404	A	4	H01L-027/04	

Abstract (Basic): JP 6077404 A

Dwg.1/5

Title Terms: ELECTROSTATIC; DISCHARGE; FAIL; PROTECT; CIRCUIT; LSI; CHIP;
RESISTANCE; INSERT; GUARD; RING; POINT; CONNECT; DIGITAL; ANALOGUE; INPUT
; OUTPUT; PIN; PROTECT; CIRCUIT; NOABSTRACT

Derwent Class: U13

International Patent Class (Main): H01L-027/04

File Segment: EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

04433504 **Image available**

ELECTROSTATIC BREAKDOWN PREVENTIVE CIRCUIT FOR LSI CHIP

PUB. NO.: 06-077404 [JP 6077404 A]

PUBLISHED: March 18, 1994 (19940318)

INVENTOR(s): TSUJI NOBUAKI

APPLICANT(s): YAMAHA CORP [000407] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-228974 [JP 92228974]

FILED: August 27, 1992 (19920827)

INTL CLASS: [5] H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1565, Vol. 18, No. 326, Pg. 62, June
21, 1994 (19940621)

ABSTRACT

PURPOSE: To eliminate the noise generated from analog output pins by
connecting a specified resistor between the points in two guard rings
connected to a plurality of digital input or output pins and a plurality of
analog input or output pins.

CONSTITUTION: An LSI chip includes both of an analog circuit 2 and digital

circuit 3 constituting a digital-analog converter, and has guard rings 4 and 5 for electrostatic breakdown prevention on its periphery. In this case resistors 21, 22, 25 and 28 are connected between points 15 and 17, between points 16 and 18, between points 23 and 24, and between points 26 and 27 in the guard rings, respectively. Thus, when the voltage varies at the point 14, for example, a digital output buffer 13 is turned on/off, and the voltage is varied at the points 15 and 16 in the guard rings 5 and 4 as well; however, the voltage is reduced at the points 17 and 18 because of the resistors 21 and 22, the noise in output voltage being prevented at the point 19 in proximity to an analog output pin 8.

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 27/04
21/822

H 0 1 L 27/04

H

請求項の数 1 (全 4 頁)

(21) 出願番号 特願平4-228974

(22) 出願日 平成4年 (1992) 8月27日

(65) 公開番号 特開平6-77404

(43) 公開日 平成6年 (1994) 3月18日

審査請求日 平成8年 (1996) 3月18日

(73) 特許権者 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 辻 信昭

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(74) 代理人 弁理士 志賀 正武 (外2名)

審査官 池淵 立

(56) 参考文献 特開 平4-257256 (JP, A)

特開 平2-303153 (JP, A)

特開 昭64-42162 (JP, A)

特開 平4-53255 (JP, A)

特開 平4-30570 (JP, A)

(58) 調査した分野 (Int. Cl. ⁶, D B 名)

H01L 27/04

(54) 【発明の名称】 L S I チップ等の静電破壊防止回路

1

(57) 【特許請求の範囲】

【請求項1】 アナログ回路とデジタル回路とが混在
された L S I チップ等上に形成され、該 L S I チップ上の周囲に静電破壊対策用の第1 および
第2のガードリングが形成され、該第1 および第2のガードリングにそれぞれ第1 および
第2の電源電圧が印加されるとともに、前記アナログ回路とそれぞれ接続された複数のアナログ
入力ピンおよび複数のアナログ出力ピン、並びに、前記
デジタル回路とそれぞれ接続された複数のデジタル
入力ピンおよび複数のデジタル出力ピンのそれぞれ
と、前記第1 および第2のガードリングとの間に、静電
破壊対策用のダイオード等からなる保護回路が介挿され
た L S I チップ等の静電破壊防止回路において、

前記複数のデジタル入力ピンあるいは、前記複数のデ

2

ィジタル出力ピンと前記保護回路を介して接続された前
記第1 および第2のガードリングのポイントと、前記複
数のアナログ入力ピンあるいは、前記複数のアナログ出
力ピンと前記保護回路を介して接続された前記第1 およ
び第2のガードリングのポイントとの間に、それぞれ所
定値を有する抵抗を介挿したことを特徴とする L S I チ
ップ等の静電破壊防止回路。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 この発明は、 I C (集積回路) チ
ップや L S I (大規模集積回路) チップなどの静電破壊
を防止する L S I チップ等の静電破壊防止回路に関す
る。

【0002】

【従来の技術】 図3は従来の L S I チップ1の構成例を

示す概略図、図4は図3の一部拡大図である。LSIチップ1は、たとえば、8ビットないし16ビットのデジタル/アナログ・コンバータを構成するアナログ回路2と、デジタル回路3とが混在したものであり、周囲に静電破壊対策用のガードリング4および5が形成されている。

【0003】また、6および7は、それぞれ静電破壊対策のために、ガードリング4および5に電源電圧 V_{DD} （たとえば、5V）および V_{SS} （たとえば、0V）を印加するためのデジタル・アナログパッド供給用 V_{DD} および V_{SS} 、8はアナログ入力ピン、9はアナログ出力ピン、10は、たとえば、8ビットないし16ビットのバス出力ピンなどのデジタル出力ピン、11はデジタル入力ピンである。さらに、12は各ピン6~11に接続されるLSIチップ1内部の回路を静電破壊から保護するためのダイオード、13はFET13a、13aからなるバス出力バッファである。そして、上述した構成要素4、5、および12、12、・・・は静電破壊防止回路を構成している。

【0004】

【発明が解決しようとする課題】ところで、上述した従来のLSIチップ1において、たとえば、図4に示すポイント14の電圧が、図5(a)に示すように変化することにより、デジタル出力バッファ13がオン/オフすると、ガードリング5のポイント15およびガードリング4のポイント16の電圧は、それぞれ図5(b)および(c)に示すように変化してしまう。

【0005】これにより、ガードリング5のポイント17およびガードリング4のポイント18の電圧も、ガードリング5のポイント15およびガードリング4のポイント16の電圧と同様、それぞれ図5(b)および(c)に示すように変化するので、アナログ入力ピン8近傍のポイント19の出力電圧に、図5(d)のaおよびbに示すように、ノイズが発生し、このため、この部分において、ビットずれが生じてしまう。この発明は、このような背景の下になされたもので、デジタル回路の出力バッファがオン/オフしても、アナログ出力ピンの出力電圧が影響されないLSIチップ等の静電破壊防止回路を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明は、アナログ回路とデジタル回路とが混在されたLSIチップ等上に形成され、該LSIチップ上の周囲に静電破壊対策用の第1および第2のガードリングが形成され、該第1および第2のガードリングにそれぞれ第1および第2の電源電圧が印加されるとともに、前記アナログ回路とそれぞれ接続された複数のアナログ入力ピンおよび複数のアナログ出力ピン、並びに、前記デジタル回路とそれぞれ接続された複数のデジタル入力ピンおよび複数のデジタル出力ピンのそれぞれと、前記第1および第2のガ

ードリングとの間に、静電破壊対策用のダイオード等からなる保護回路が介挿されたLSIチップ等の静電破壊防止回路において、前記複数のデジタル入力ピンあるいは、前記複数のデジタル出力ピンと前記保護回路を介して接続された前記第1および第2のガードリングのポイントと、前記複数のアナログ入力ピンあるいは、前記複数のアナログ出力ピンと前記保護回路を介して接続された前記第1および第2のガードリングのポイントとの間に、それぞれ所定値を有する抵抗を介挿したことを特徴としている。

【0007】

【作用】上記構成によれば、たとえば、あるデジタル出力ピンと保護回路を介して接続された第1のガードリングのポイントの電圧が、そのデジタル出力ピンから出力される信号の変化に応じて変化しても、そのデジタル出力ピン近傍のアナログ入力ピンあるいは、アナログ出力ピンと保護回路を介して接続された第1のガードリングのポイントの電圧は、あまり変化しない。したがって、そのアナログ入力ピンあるいは、アナログ出力ピンから入力あるいは、出力される信号は、デジタル出力ピンから出力される信号の変化にあまり影響されない。

【0008】

【実施例】以下、図面を参照して、この発明の一実施例について説明する。図1はこの発明の一実施例によるLSIチップ等の静電破壊防止回路を適用したLSIチップ20の構成を示す概略図であり、この図において、図3の各部に対応する部分には同一の符号を付け、その説明を省略する。この図に示すLSIチップ20においては、ガードリング5のポイント15と17との間に、抵抗21が新たに介挿され、ガードリング4のポイント16と18との間に、抵抗22が新たに介挿されている。また、ガードリング5のポイント23と24との間に、抵抗25が新たに介挿され、ガードリング4のポイント26と27との間に、抵抗28が新たに介挿されている。

【0009】すなわち、デジタル出力ピン10やデジタル入力ピン11などに、ダイオード12、12、・・・を介して接続されたガードリング4や5のポイント15、16、23、26、・・・と、ノイズを防止しなければならないアナログ出力ピン8やアナログ入力ピン9などに、ダイオード12、12、・・・を介して接続されたガードリング4や5のポイント17、18、24、27、・・・との間に、所定の値の抵抗21、22、24、27、・・・が介挿されている。なお、これらの抵抗21、22、25、28、・・・の値は、たとえば、100Ω程度とする。

【0010】このような構成において、たとえば、図1に示すポイント14の電圧が、図5(a)に示すように変化することにより、デジタル出力バッファ13がオ

5

ン/オフすると、ガードリング5のポイント15およびガードリング4のポイント16の電圧は、それぞれ図5(b)および(c)に示すように変化してしまう。

【0011】しかしながら、抵抗21および22が介挿されているため、ガードリング5のポイント17およびガードリング4のポイント18の電圧は、それぞれ図2(a)および(b)に示すように、その変化が、抵抗21および22が介挿されていない従来の場合に比べて、少なくなるので、アナログ入力ピン8近傍のポイント19の出力電圧には、ノイズが発生しない。したがって、図5(d)に示すようなこの部分におけるビットずれを防止することができる。

【0012】なお、上述した一実施例においては、抵抗21、22、25、28、・・・の値として100Ω程度とした例を示したが、これに限定されない。抵抗21、22、25、28、・・・の値は、要するに、ディジタル出力ピン10やディジタル入力ピン11に印加される電圧の変化によってガードリング4や5に発生するノイズが、アナログ出力ピン8やアナログ入力ピン9に影響を及ぼさない程度の値であれば、どのような値でもよいことは、もちろんである。

【0013】

【発明の効果】以上説明したように、この発明によれば、ディジタル回路の出力バッファがオン/オフして

6

も、アナログ出力ピンの出力電圧に影響されないという効果がある。

【図面の簡単な説明】

【図1】 この発明の一実施例によるLSIチップ等の静電破壊防止回路を適用したLSIチップの構成例を示す概略図である。

【図2】 図1の各部に出現する電圧の波形の一例を示す図である。

【図3】 従来のLSIチップ1の構成例を示す概略図である。

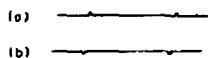
【図4】 図3の一部拡大図である。

【図5】 図4の各部に出現する電圧の波形の一例を示す図である。

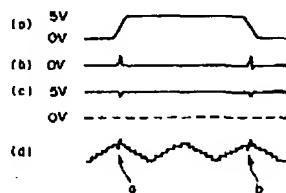
【符号の説明】

1、20……LSIチップ、2……アナログ回路、3……ディジタル回路、4、5……ガードリング、6、7……ディジタル・アナログパッド供給用 V_{DD} および V_{SS} 、8……アナログ出力ピン、9……アナログ入力ピン、10……ディジタル出力ピン、11……ディジタル入力ピン、12、12、・・・ダイオード、13……バス出力バッファ、13a……FET、14～19、23、24、26、27……ポイント、21、22、25、27……抵抗。

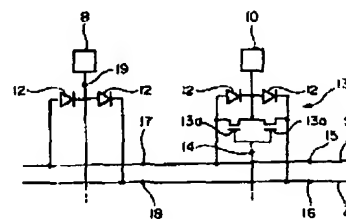
【図2】



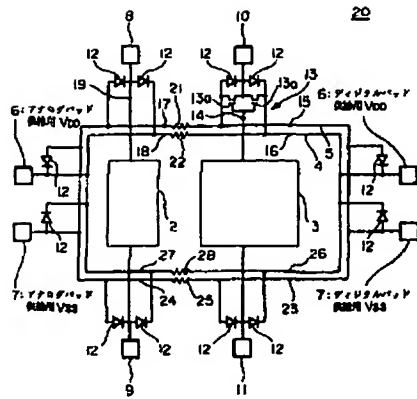
【図5】



【図4】



【図1】



【図3】

